



KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000074833 A
(43)Date of publication of application: 15.12.2000

(21)Application number:	1019990019047	(71)Applicant:	SAMSUNG ELECTRONICS CO., LTD.
(22)Date of filing:	26.05.1999	(72)Inventor:	LEE, SEOK CHAE
(30)Priority:	..		
(51)Int. Cl	G02F 1/133 G02F 1/1345		

(54) LIQUID CRYSTAL DISPLAY

(57) Abstract:

PURPOSE: A liquid crystal display is provided in which at least two test lines connected to gate lines and data lines are configured of a TFT structure to improve product reliability and productivity.

CONSTITUTION: In a liquid crystal display having a TFT substrate, a color filter substrate, attached to the TFT substrate using an adhesive, the color filter substrate having red, green and blue color filter patterns formed on the side opposite to the TFT substrate, and a liquid crystal being inserted between the TFT substrate and color filter substrate, a plurality of data lines(120) are arranged in parallel on one side of the TFT substrate having a predetermined interval, a plurality of gate lines (160) are arranged in parallel having a predetermined interval, intersecting the data lines, and a plurality of test lines(310,330,350) having a TFT structure are formed at portions corresponding to one ends of the data lines and gate lines, the test lines being connected to one ends of the data lines and gate lines.

COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (20040512)
Notification date of refusal decision ()
Final disposal of an application (registration)
Date of final disposal of an application (20060914)
Patent registration number (1006284400000)
Date of registration (20060919)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent ()
Number of trial against decision to refuse (2006101006495)
Date of requesting trial against decision to refuse (20060726)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
G02F 1/133
G02F 1/1345
(11) 공개번호 특2000-0074833
(43) 공개일자 2000년12월15일

(21) 출원번호 10-1999-0019047
(22) 출원일자 1999년05월26일
(71) 출원인 삼성전자 주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 이석채
경기도용인시기흥읍농서리산7-1
(74) 대리인 임평섭

심사청구 : 없음

(54) 액정 표시장치

요약

TFT 기판의 게이트 영역과 데이터 영역에 적어도 2개이상 형성되는 비주열 테스트 라인들을 TFT 구조로 형성함으로써, 비주열 테스트공정 후에 LCD 패널로부터 비주열 테스트 라인들을 절단하는 공정과 비주열 테스트 라인의 잔여물을 제거하는 그라인딩 공정을 생략할 수 있어 LCD 패널의 조립공정 수를 줄일 수 있고 제품의 생산성을 향상을 향상시킬 수 있다.

또한, LCD 패널의 조립공정 수가 줄어들어 LCD 패널의 수율이 향상될 수 있다.

대표도

도12

명세서

도면의 간단한 설명

- 도 1a는 종래의 TFT 기판을 개략적으로 나타낸 평면도.
도 1b는 도 1의 A부분의 확대도.
도 2은 본 발명의 제 1 실시예에 의한 TFT 기판을 도시한 평면도.
도 3는 도 2의 B부분을 확대하여 도시한 요부 확대도.
도 4는 도 3에 도시한 비주열 테스트 라인들을 IV-IV선으로 절단한 단면도.
도 5은 도 3에 도시한 비주열 테스트 라인들을 V-V선으로 절단한 단면도.
도 6은 도 3에 도시한 비주열 테스트 라인을 VI-VI선으로 절단한 단면도.
도 7은 도 2의 C부분을 확대한 요부 확대도.
도 8은 도 7에 도시된 비주열 테스트 라인들을 VIII-VIII선으로 절단한 단면도.
도 9는 도 7에 도시한 비주열 테스트 라인들을 IX-IX선으로 절단한 단면도.
도 10은 도 7에 도시한 비주열 테스트 라인을 X-X선으로 절단한 단면도.
도 11은 본 발명의 제 2 실시예에 의한 TFT 기판을 도시한 평면도.
도 12는 도 11의 D부분을 확대한 요부 확대도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 액정표시장치의 테스트 라인에 관한 것으로, 더욱 상세하게는 게이트 라인들과 데이터 라인들 각각에 연결되는 적어도 2개이상의 테스트 라인들을 TFT(Thin Film Transistor) 구조로 형성하여 제품의

신뢰성 및 생산성을 향상시킨 액정표시장치에 관한 것이다.

일반적으로, 소형화, 경량화 및 저소비전력 등의 장점을 가지는 LCD(Liquid Crystal Display)패널은 TFT 기판, TFT 기판에 마주보도록 부착되는 칼라필터 기판 및 양 기판 사이에 주입되는 액정물질을 포함하는 장치로서, 내부에 주입된 액정의 전기 광학적 성질을 이용하여 정보를 표시하는 장치이다.

도 1에 도시된 바와 같이 TFT 기판(10) 상에는 다수개의 데이터선들(20)과 게이트선들(60)이 서로 교차되어 형성되고, 데이터선들(20)과 게이트선들(60)의 교차점에는 스위칭 소자인 박막트랜지스터(Thin Film Transistor; 이하 TFT라 함) 소자들이 형성되며 교차영역에는 픽셀전극(90)이 형성된다.

또한, 데이터선들(20)과 게이트선들(60)의 일단부에는 각각의 데이터선들(20) 및 게이트선들(60)에 테스트 구동신호를 인가하는 비주열 테스트 라인들이 형성되는데, 이러한 비주열 테스트 라인들은 게이트선(60) 또는 데이터선들(20)이 형성될 때 이들과 같은 종류의 금속, 예를 들어 알루미늄 또는 크롬으로 함께 형성되며 TFT 기판(10)이 유리 모 기판으로부터 절단될 때 TFT 기판(10)에서 제거된다.

상술한 구성을 갖는 TFT 기판과 칼라필터 기판은 대형의 유리 모 기판에 보통 4~6개정도 형성된다.

이와 같이 TFT 기판 및 칼라필터 기판들이 복수개 형성된 2장의 유리 모 기판을 조립하여 LCD 패널을 제작하는 과정에 대해 설명하면 다음과 같다.

먼저, TFT 기판 또는 칼라필터 기판의 가장자리를 따라 실런트를 프린팅하고 두장의 유리 모 기판이 서로 마주보도록 위치시킨 상태에서 열라인시킨 후 열압착방식에 의하여 2장의 유리 모 기판들을 부착한다.

이어, 비주열 테스트 라인의 바깥쪽에 나타나는 절단 예정선을 따라 LCD 단위 셀들을 유리 모 기판으로부터 절단한 다음에 TFT 기판과 칼라필터 기판 사이에 액정을 주입하고 액정 주입구를 밀봉하여 LCD 패널의 제작공정을 완료한다.

이후에 비주열 테스트 라인에 테스트 프로브 핀을 접속시켜 비주열 테스트 라인들과 연결된 게이트선들 및 데이터선들 각각에 테스트 구동신호를 인가하여 게이트선들과 데이터선들 및 픽셀전극의 불량 유무를 판단한다.

이때, 게이트선 또는 데이터선들 중 몇 개가 단선 또는 쇼트되었거나 또는 픽셀전극에 불량이 발생한 경우 LCD 패널의 초기상태에 따라 불량이 발생한 부분이 검정색, 또는 흰색으로 디스플레이되므로 불량 유무를 쉽게 판단할 수 있다.

이러한 비주열 테스트 공정을 통해 LCD 패널의 양품 및 불량품이 선별되면, 불량이 발생한 LCD 패널을 리페어한 후에 데이터들 및 게이트선들을 묶고 있는 비주열 테스트 라인을 LCD 패널로부터 절단한다.

그러나, LCD 패널로부터 비주열 테스트 라인을 절단하면, 도 1b에 도시된 바와 같이 LCD 패널의 절단면에 요철 형상의 칩핑이 발생되는데, 칩핑 중 철부의 몇 개가 절단 예정선의 바깥쪽으로 심하게 돌출된 경우에는 도 1b에 나타난 바와 같이 비주열 테스트 라인들(50)이 완전히 절단되지 않고 TFT 기판(10) 상에 남아 적어도 2개이상의 데이터선들(20) 또는 게이트선들(60)을 연결시킴으로써, 후속공정 또는 제품이 완료된 후에 신호선들 간에 쇼트를 발생시켜 제품의 신뢰성을 저하시킨다.

따라서, 절단 공정이 진행된 다음에는 반드시 LCD 단위 셀의 절단면을 갈아내어 칩핑과 함께 LCD 단위 셀에 잔여하는 비주열 테스트 라인들을 완전히 제거하는 그라인딩 공정이 진행되어야 한다.

상술한 바와 같이 비주열 테스트 라인을 금속선으로 형성할 경우 LCD 패널로부터 비주열 테스트 라인을 절단하는 공정과, 그라인딩 공정이 반드시 수반되기 때문에 제품의 생산성이 저하된다.

또한, 커팅공정과 그라인딩 공정에서 발생하는 유리 가루로 인해 제품의 수율이 저하되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 상기와 같은 문제점을 감안하여 안출된 것으로서, 비주열 테스트 라인의 절단공정과, 그라인딩 공정을 생략하여 공정을 단순화하는데 있다.

다른 목적은 공정의 단순화를 통하여 제품의 생산성을 향상시키는데 있다.

또 다른 목적은 절단공정과 그라인딩 공정을 생략함으로써, 제품의 수율을 향상시키는데 있다.

본 발명의 또 다른 목적은 다음에 설명하는 상세한 설명과 첨부된 도면으로부터 보다 명확해 질 것이다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위해서 본 발명은 TFT 기판의 일면에는 복수개의 데이터선들을 소정간격 이격시켜 평행하게 배열하고, 데이터선들과 직교하는 방향으로 복수개의 게이트선들을 소정간격 이격시켜 평행하게 배열하며, 데이터선들과 게이트선들에 연결되도록 데이터선들 및 게이트선들의 일단과 대응하는 위치에 TFT 구조를 갖는 복수개의 테스트 라인들을 각각 형성한다.

일례로, 테스트 라인들은 데이터선들과 게이트선들의 일단과 대응하는 위치에 상호 평행하게 한쌍씩 형성되는데, 한쌍의 테스트 라인들 중 제 1 테스트 라인들은 홀수번째 데이터선들과 게이트선들의 일단에 연결되고, 제 2 테스트 라인들은 짝수번째 데이터선들과 게이트선들의 일단에 연결된다.

바람직하게, 상기 홀수번째 데이터선들과 연결된 제 1 테스트 라인은 데이터선들이 배열되는 방향으로 길게 형성되는 게이트 전극, 절연층을 사이에 두고 게이트 전극의 상부에 형성되는 반도체층 및 반도체층의 폭방향 일측 가장자리를 따라 길게 형성되는 소스전극으로 구성되며,

짝수번째 데이터선들과 연결된 제 2 테스트 라인도 제 1 테스트 라인과 동일한 구조로 형성되는데, 반도체층과 소스전극이 짝수번째 데이터선들과 대응되는 부분에만 형성되고, 서로 소정간격 이격된 소스전극들을

전기적으로 연결시키기 위해서 소스전극들의 상부에는 각각의 소스전극들과 직접 접촉되는 연결선이 형성된다.

또한, 제 1 및 제 2 테스트 라인에서 각 소스전극과 대향되는 반도체층의 가장자리에는 홀수번째 데이터선들과 짝수번째 데이터선들이 형성되어 제 1 및 제 2 테스트 라인의 드레인 역할을 한다.

한편, 홀수번째 게이트선들과 연결된 제 1 테스트 라인은 게이트선들이 배열되는 방향으로 길게 형성되는 게이트 전극, 절연층을 사이에 두고 게이트 전극의 상부에 형성되는 반도체층, 반도체층의 폭방향 일측 가장자리를 따라 길게 형성되는 소스전극, 소스전극과 대향되는 반도체층의 가장자리에 형성되는 드레인 전극 및 드레인 전극을 덮는 절연성 물질의 상부면에 형성되고 드레인 전극 및 상기 홀수번째 게이트선들과 직접 접촉되어 서로 다른 층에 형성된 드레인 전극과 홀수번째 게이트선들을 전기적으로 연결시키는 연결선으로 구성되며,

짝수번째 게이트선들과 연결되는 제 2 테스트 라인도 제 1 테스트 라인과 동일한 구조로 형성되는데, 게이트 전극과 반도체층 및 드레인 전극은 홀수번째 게이트선들의 사이에 형성되고, 서로 소정간격 이격된 게이트 전극들을 전기적으로 연결시키기 위해서 소스전극을 덮는 절연물질의 상부에는 각각의 게이트 전극들과 직접 접촉되는 연결선이 형성된다.

다른 예로 테스트 라인들은 데이터선들의 일단과 대응하는 위치에 상호 평행하게 3개가 형성되는데, 3개의 테스트 라인들 중 제 1 테스트 라인은 상기 적색 칼라필터 패턴들과 대응하여 형성되는 데이터선들과 연결되고, 제 2 테스트 라인은 상기 녹색 칼라필터 패턴들과 대응하여 형성되는 데이터선들과 연결되고, 제 3 테스트 라인은 청색 칼라필터 패턴에 대응하는 데이터선들이 연결되며,

게이트선들의 일단과 대응되는 위치에는 서로 평행하도록 한쌍의 테스트 라인이 형성되어 하나는 홀수번째 게이트선들과 연결되고, 다른 하나는 짝수번째 게이트선들과 연결된다.

바람직하게, 적색의 칼라필터 패턴과 대응되는 데이터선들이 연결되는 제 1 테스트 라인은 데이터선들이 배열되는 방향으로 길게 형성되는 게이트 전극, 절연층을 사이에 두고 게이트 전극의 상부에 형성되는 반도체층 및 반도체층의 폭방향 일측 가장자리를 따라 길게 형성되는 소스전극으로 구성되며,

제 2 및 제 3 테스트 라인들도 제 1 테스트 라인과 동일한 구조로 형성되는데, 제 2 테스트 라인의 반도체층과 소스전극은 녹색의 칼라필터 패턴들과 대응하는 데이터선들이 형성되는 부분에만 형성되고, 제 3 테스트 라인의 반도체 층과 소스전극은 청색의 칼라필터 패턴들과 대응하는 데이터선들이 형성되는 부분에 형성되며, 서로 소정간격 이격된 소스전극들을 전기적으로 연결시키기 위해서 소스전극들의 상부에는 각각의 소스전극들과 직접 접촉되는 연결선이 형성된다.

이하, 본 발명에 의한 LCD 패널을 첨부된 도면 도 2내지 도 12를 참조하여 설명하면 다음과 같다.

본 발명에 의한 LCD 패널은 TFT 기판과, TFT 기판에 마주보도록 부착되며 TFT 기판과 대향되는 일면에 적색, 녹색, 청색의 칼라필터 패턴들이 형성된 칼라필터 기판 및 TFT 기판과 칼라필터 기판 사이에 주입되는 액정으로 구성된다.

여기서는, 본 발명과 직접적으로 관련이 있는 TFT 기판(100)에 대해서만 첨부된 도면 도 2 내지 도 10을 참조하여 설명하면 다음과 같다.

보통, TFT 기판(100)은 대형의 유리 모 기판에 복수개 형성되는데, 각 TFT 기판(100)의 일면에는 복수개의 데이터선들(120)이 서로 소정간격 이격되어 TFT 기판(100)의 가로방향을 따라 길게 형성되고, 데이터선들(120)과 수직으로 교차되도록 TFT 기판(100)의 세로방향을 따라 복수개의 게이트선들(160)이 길게 형성된다.

또한, 데이터선들(120)과 게이트선들(160)의 교차점에는 TFT 소자들(도시 안됨)이 형성되며 교차 영역 내에는 픽셀전극들(190)이 형성된다.

여기서, 설명의 편의상 데이터선들(120)이 일렬로 배열되는 TFT 기판(100)의 폭방향 일단을 소스 영역(110)이라 하고, 게이트선들(160)이 일렬로 배열되는 길이방향 일단을 게이트 영역(150)이라 한다.

한편, 소스 영역(110)과 게이트 영역(150) 각각에는 적어도 2개이상의 비주열 테스트 라인들(200)이 형성되며 데이터선들(120)과 게이트선들(160)의 일단이 연결되어 테스트 구동신호를 데이터선들(120)과 게이트선들(160)에 각각에 공급한다.

본 발명에 따른 비주열 테스트 라인들(200)은 게이트 전극과 소스 전극 및 드레인 전극을 구비한 TFT 구조로 형성된다.

여기서, 소스 영역(110)과 게이트 영역(150)에 복수개의 비주열 테스트 라인들(200)에 데이터선들(120)과 게이트선들(160)을 분할하여 연결시키는 이유는 캐패시터의 정전용량을 줄여 RC 딜레이 값을 감소시키고 인접하는 데이터선들(120) 및 게이트선들(160) 간에 쇼트가 발생된 경우 어느 선에서 쇼트가 발생되었는지를 쉽게 구별하여 불량률이 발생한 제품의 리퍼어율을 향상시켜 생산성을 향상시키기 위해서이다.

제 1 실시예에 따르면, 도 2에 도시된 바와 같이 소스 영역(110)과 게이트 영역(150) 각각에는 한쌍의 비주열 테스트 라인들이 서로 소정간격 이격되어 평행하게 형성되는데, 하나는 TFT 기판(100)에 형성된 데이터선들(120) 및 게이트선들(160) 중 홀수번째 데이터선들(125)과 게이트선들(165)에 연결되고 나머지 하나는 짝수번째 데이터선들(130) 및 게이트선들(170)에 연결된다.

도 3내지 도 10을 참조하여 제 1 실시예에 의한 비주열 테스트 라인의 구조를 좀더 상세히 설명하면 다음과 같다.

설명에 편의상 소스 영역(110) 및 게이트 영역(150)에 형성된 한쌍의 비주열 테스트 라인들(210,230)(250,270) 중 홀수번째 데이터선들(125) 및 게이트선들(165)과 연결되는 라인을 제 1 비주열 테스트 라인(210,250)이라 하고, 짝수번째 데이터선들(130) 및 게이트선들(170)과 연결되는 라인을 제 2 비

주열 테스트 라인(230,270)이라 한다.

먼저, 소스 영역(110)에 형성되는 제 1 및 제 2 비주열 테스트 라인(210,230)의 구조를 첨부된 도면 도 3 내지 도 6을 참조하여 설명하기로 한다.

제 1 비주열 테스트 라인(210)의 제 1 게이트 전극(212)이 TFT 기판(100)의 길이방향을 따라 길게 형성되고, 제 1 게이트 전극(212)의 길이방향 일단에는 테스트 프로브 핀(도시 안됨)이 접속되는 프로브 접속패드(212a)가 형성된다.

또한, 제 1 게이트 전극(212)의 상부에는 프로브 핀에서 인가된 전류를 흡수번째 데이터선들(125) 쪽으로 이동시키는 제 1 반도체층(216)이 게이트 절연층(214; 도 4참조)을 사이에 두고 제 1 게이트 전극(212)을 따라 길게 형성된다.

또한, 오믹층(218; 도 4참조)을 사이에 두고 제 1 반도체층(216)의 폭방향 일측 가장자리를 따라 제 1 소스전극(220)이 길게 형성되며, 프로브 접속패드(212a)와 대응되는 제 1 소스 전극(220)의 일단부에는 프로브 접속패드(220a)가 형성된다.

그리고, 제 1 소스전극(220)과 대향되는 제 1 반도체층(216)의 폭방향 가장자리에는 흡수번째 데이터선들(125)이 오믹층(218)을 개재하여 복수개 형성되는데, 여기서, 흡수번째 데이터선들(125)은 제 1 비주열 테스트 라인(210)의 드레인 전극 역할을 한다.

제 2 비주열 테스트 라인(230)의 제 2 게이트 전극(232)은 제 1 게이트 전극(212)과 소정간격 이격되어 제 1 게이트 전극(212)의 안쪽에 형성되고 TFT 기판(100)의 길이방향을 따라 길게 형성되며, 제 1 비주열 테스트 라인(210)의 프로브 접속패드들(212a,220a)과 대응되는 제 2 게이트 전극(232)의 일단에는 프로브 접속패드(232a)가 형성된다.

또한, 제 2 게이트 전극(232)의 상부에는 제 2 반도체층(236)이 게이트 절연층(214; 도 5참조)을 사이에 두고 형성되는데, 제 2 반도체층(236)과 흡수번째 데이터선들(125)과 연결되는 것을 방지하기 위해서 제 2 반도체층(236)은 흡수번째 데이터선들(125)과 소정간격 이격되어 흡수번째 데이터선들(125) 사이에 형성된다.

한편, 제 2 반도체층(236)의 폭방향 일측 가장자리에는 제 2 소스전극(240)이 오믹층(238)을 개재하여 형성되고, 상술한 프로브 접속패드들(212a,220a,232a)과 대응되는 제 2 소스전극(240)의 일단에는 프로브 접속패드(240a)가 형성되며, 제 2 소스전극(240)과 대향되는 제 2 반도체층(236)의 폭방향 가장자리에는 짝수번째 데이터선들(130)이 형성된다.

여기서, 짝수번째 데이터선들(130)은 제 2 비주열 테스트 라인(230)의 드레인 전극 역할을 한다.

또한, 제 2 소스전극들(240)의 상부에는 ITO 연결선(246)이 형성되어 서로 소정간격 이격된 제 2 소스전극들(240)을 전기적으로 연결시키는데, ITO 연결선(246)과 흡수번째 데이터선들(125)이 전기적으로 연결되는 것을 방지하기 위해서 도 6에 도시된 바와 같이 제 2 소스전극(240)과 ITO 연결선(246) 사이에는 절연성 물질이 도포된다.

다음으로, 게이트 영역(150)에 형성된 제 1 및 제 2 비주열 테스트 라인(250,270)의 구조를 도 7 내지 도 10을 참조하여 설명하면 다음과 같다.

제 1 비주열 테스트 라인(250)의 제 1 게이트 전극(252)은 흡수번째 게이트선들(165)과 소정간격 이격되어 TFT 기판(100)의 폭방향을 따라 길게 형성되며, 소스영역(110)에 형성된 프로브 접속패드들(212a,220a)(232a,240a)과 마주보는 제 1 게이트 전극(252)의 일단에 프로브 접속패드(252a)가 형성된다.

또한, 제 1 게이트 전극(252)의 상부에는 프로브 핀에서 인가된 전류를 흡수번째 게이트라인들(165) 쪽으로 이동시키는 제 1 반도체층(256)이 게이트 절연층(214; 도 8참조)을 사이에 두고 제 1 게이트 전극(252)을 따라 길게 형성된다.

또한, 제 1 반도체층(256)의 폭방향 일측 가장자리에는 제 1 소스전극(260)이 오믹층(258; 도 8참조)을 사이에 두고 TFT 기판(100)의 길이방향을 따라 길게 형성되며 프로브 접속패드(252a)와 대응되는 일단부에는 프로브 접속패드(260a)가 형성된다.

그리고, 제 1 소스전극(260)과 대향되는 제 1 반도체층(256)의 가장자리에는 제 1 소스전극(260)에서 인가된 전류를 흡수번째 게이트선들(165) 각각에 공급하는 제 1 드레인 전극(262)이 형성된다.

바람직하게, 제 1 드레인 전극은 제 1 반도체층을 따라 길게 형성할 수도 있고 흡수번째 게이트선들과 마주보는 소정영역에만 부분적으로 형성할 수도 있다.

한편, 제 1 드레인 전극(262)과 흡수번째 게이트선들(165) 사이에는 ITO 연결선(266)이 형성되어 서로 다른 층에 형성된 흡수번째 게이트선들(165)과 제 1 드레인 전극(262)을 전기적으로 연결시킨다.

제 2 비주열 테스트 라인(270)에서 제 2 게이트 전극(272)은 제 1 게이트 전극(252)과 소정간격 이격되어 제 1 게이트 전극(252)의 안쪽에 형성되는 것으로, 서로 동일한 층에 형성되는 흡수번째 게이트선들(165)과 제 2 게이트 전극(272)이 연결되는 것을 방지하기 위해서 흡수번째 데이터선들(165) 사이에 형성되며 짝수번째 게이트선들(170)과는 소정간격 이격된다.

또한, 제 1 비주열 테스트 라인(250)의 프로브 접속패드들(252a,260a)과 대응되는 제 1 게이트 전극의 일단에 프로브 접속패드(272a)가 형성된다.

한편, 도 7 또는 도 9에 도시된 바와 같이 게이트 절연층(214)을 사이에 두고 제 2 게이트 전극(272)의 상부에만 제 2 반도체층(276)이 형성되는데, 제 2 반도체층(276)의 크기는 제 2 게이트 전극(272)의 크기보다 작게 형성된다.

제 2 반도체층(276)의 폭방향 가장자리 일측에는 제 2 소스전극(280)이 오믹층(278)을 사이에 두고 TFT 기

판(100)의 폭방향을 따라 길게 형성되며, 프로브 접속패드(272a)와 대응되는 제 2 소스 전극(280)의 일단 부에는 프로브 접속패드(280a)가 형성된다.

그리고, 제 2 소스전극(280)과 대향되는 제 2 반도체층(276)의 타측 가장자리에는 제 2 소스전극(280)에서 인가된 전류를 짝수번째 게이트선들(170) 각각에 공급하는 제 2 드레인 전극(282)이 형성되는데, 제 2 드레인 전극(282)은 짝수번째 게이트선들(170)과 대향되는 소정영역에 제 2 게이트전극(272)의 크기보다 작게 형성된다.

이와 같이 제 2 반도체층(276)과 제 2 드레인 전극(282)의 크기를 제 2 게이트 전극(272)의 크기보다 작게 형성하는 이유는 도 10에 도시된 바와 같이 컨택홀을 이용하여 서로 분리된 제 2 게이트 전극들(272)을 연결시키는 후속공정에서 제 2 반도체층(276) 및 제 2 드레인 전극(282)이 제 2 게이트 전극(272)과 전기적으로 연결되어 쇼트되는 것을 방지하기 위해서이다.

또한, 제 2 드레인 전극(282)과 짝수번째 게이트선들(170) 사이에는 ITD 연결선(286)이 형성되어 서로 다른 층에 형성된 짝수번째 게이트선들(170)과 제 2 드레인 전극(282)을 전기적으로 연결시킨다.

이와 같이 구성된 제 1 및 제 2 비주열 테스트 라인들의 제조공정을 첨부된 도면 도 3내지 도 10을 참조하여 개략적으로 설명하면 다음과 같다.

이들, 제 1 및 제 2 비주열 테스트 라인들(210,230)(250,270)은 데이터선들(120)과 게이트선들(260)의 교차점에 형성되는 TFT 소자들과 함께 형성되지만 여기서는 제 1 및 제 2 비주열 테스트 라인(210,230)(250,270)의 제조공정에 대해서만 설명하기로 한다.

먼저, TFT 기판(100)의 일면에 예를 들어, 알루미늄 박막을 증착한 다음 소정의 사진식각 공정을 실시하여 소스 영역(110)과 게이트 영역(150)에 제 1 게이트 전극(212,252)과 제 2 게이트 전극(232,272)을 각각 형성한다.

여기서, 게이트 영역(150)에 형성된 제 1 및 제 2 비주열 테스트 라인(250,270)이 전기적으로 연결되는 것을 방지하기 위해서 제 1 게이트 전극(252)은 TFT 기판(100)의 폭방향을 따라 길게 형성하고, 제 2 게이트 전극(272)은 홀수번째 게이트선들(165) 사이에 홀수번째 게이트선들(165)과 소정간격 이격되어 형성한다.

이어, 제 1 및 제 2 게이트 전극(212,252)(232,272)이 형성된 TFT 기판(100)의 전면에 SiNx 물질을 도포하여 게이트 절연막(214)을 형성하고 게이트 절연막(214) 위에 a-Si:H 물질과 n⁺ a-Si:H 물질을 연속적으로 도포한 후 사진 식각 공정을 통해 제 1 및 제 2 게이트 전극들(212,252)(232,272)과 대응되는 부분에 제 1 및 제 2 반도체층(216,256)(236,276)과 오믹층(218)을 형성한다.

이때, 소스 영역(110)에 형성되는 제 2 반도체층(236)은 짝수번째 데이터선들(130)이 형성될 부분에 소정 크기로 형성되어 제 1 비주열 테스트 라인(210)과 제 2 비주열 테스트 라인(230)이 전기적으로 연결되는 것을 방지한다.

계속해서, 오믹층(218)의 상부면에 예를 들어, 크롬을 증착한 후 소정의 사진 식각공정을 진행하여 제 1 및 제 2 소스 전극(220,260)(240,280), 제 1 및 제 2 드레인 전극(262,282) 및 데이터선들(120)을 형성한다.

여기서, 소스 영역(110)에 형성되는 제 1 소스 전극(220)은 TFT 기판과 길이방향을 따라 길게 형성되고, 제 2 소스전극(240)은 제 2 반도체층(236)과 대응되는 위치에만 형성되며, 소스영역(110) 쪽에는 드레인 전극 대신 데이터선들(120)이 형성되어 드레인 전극은 역할을 한다.

또한, 게이트 영역(150)에 형성되는 제 1 및 제 2 소스전극(260,280)은 TFT 기판(100)의 폭방향을 따라 길게 형성되지만, 제 1 및 제 2 드레인 전극(262,282)은 게이트선들(160)과 대응되는 소정부분에만 형성된다.

제 1 및 제 2 소스 전극(220,240)(260,280)과 제 1, 제 2 드레인 전극(262,282)이 형성되면, TFT 기판(100)의 전면에 SiNx 물질을 도포하여 보호막(224)을 형성한다.

이후에 도 6에 도시된 바와 같이 소스 영역(110)에 형성된 제 2 소스전극들(240)을 서로 연결시키기 위해서 제 2 소스전극들(240)과 대응되는 보호막(224)의 소정부분에서부터 제 2 소스전극들(240)의 소정영역까지 컨택홀들을 형성하고, 도 10에 도시된 바와 같이 게이트 영역(150)에 형성된 제 2 게이트 전극들(272)을 서로 연결시키기 위해서 제 2 반도체층과 제 2 드레인 전극이 형성되지 않은 부분에 보호막(224)의 표면으로부터 제 2 게이트 전극들(272)의 소정영역까지 컨택홀들을 형성한다.

또한, 도 9에 도시된 바와 같이 게이트 영역(150)에 형성된 제 1 및 제 2 드레인 전극들(262,282)과 각각의 게이트선들(160)을 서로 연결시키기 위해서 보호막(224)의 표면에서부터 제 1 및 제 2 드레인 전극(262,282)의 소정부분까지 컨택홀을 뚫고 보호막(224)의 표면에서부터 게이트선들(160) 소정부분까지 컨택홀을 뚫는다.

이와 같이 컨택홀이 형성되면, 보호막(224)의 상부면에 ITD 금속을 도포하여 ITD 연결선(246)(286)(266)을 형성함으로써 서로 분리된 제 2 소스전극들(240), 제 2 게이트 전극들(272)을 전기적으로 연결시키고, 서로 다른층에 형성된 제 1 드레인 전극(262)과 홀수번째 게이트들(165), 제 2 드레인 전극(282)과 짝수번째 게이트선들(170)을 전기적으로 연결시킨다.

이하, LCD 패널의 조립공정과 함께 LCD 단위 셀의 비주열 테스트 과정을 개략적으로 설명하면 다음과 같다.

먼저, TFT 기판(100)과 칼라필터 기판 중 어느 하나의 기판에 밀봉재를 도포한 후에 TFT 기판들(100)이 형성된 유리 모 기판과 칼라필터 기판들이 형성된 유리 모 기판을 상호 얼라인하고 열 압착공정을 진행하여 밀봉재를 경화시킴으로써 두장의 유리 모 기판을 부착시킨다.

이후에 커팅기로 인해 제 1 비주열 테스트 라인(230)(270)의 바깥쪽에 나타나는 절단 예정선을 따라 LCD

단위 셀들을 크기에 맞게 절단한다.

이어, TFT 기판(100)과 칼라필터 기판 사이에 형성된 셀갯의 내부에 액정을 주입하고, 액정 주입구를 통해 액정이 새어나오는 것을 방지하기 위해서 액정 주입구를 봉지하는 앤드 필공정을 진행한다.

이후, 액정이 주입된 LCD 패널의 양품 및 불량품을 선별하기 위해서 게이트 영역(110)과 데이터 영역(150)에 형성된 제 1 비주열 테스트 라인(210)(250)의 프로브 접속패드들(212a, 220a)(252a, 260a)에 프로브 핀을 접속시켜 제 1 비주열 테스트 라인(210, 250)들 각각에 테스트 구동신호를 인가한다.

이때, 제 1 비주열 테스트 라인들(210, 250)에 인가된 테스트 구동신호는 제 1 게이트 전극(212)(252)에 인가된 전압에 의해서 제 1 및 제 2 소스 전극(220)(260) 쪽으로 흐르던 테스트 구동신호가 제 1 반도체층(216)(256)을 따라 제 1 드레인 전극(262)) 및 홀수번째 데이터선들(125)을 따라 흐르게 되므로 홀수번째 게이트선들(165) 및 데이터선들(125) 각각에 테스트 구동신호가 공급된다.

만약, 홀수번째 데이터선(125) 또는 게이트선들(165) 중 몇 개가 인접한 짝수번째 데이터선(130) 및 게이트선들(170)과 쇼트된 경우, 쇼트가 발생한 짝수번째 데이터선(130) 및 게이트선들(170)에도 테스트 구동신호가 흐르기 때문에 작업자는 쇼트가 발생한 지점과 쇼트된 데이터선들(120) 및 게이트선들(160)을 쉽게 식별할 수 있게 된다.

또는, 홀수번째 데이터선들(125) 및 게이트선들(165) 중 몇 개가 소정부분에서 단선되었거나 픽셀전극(190)에 불량이 발생된 경우 불량이 발생한 부분이 LCD 단위 셀의 초기상태에 따라 검정색 또는 흰색으로 나타나기 때문에 LCD 단위 셀의 불량 정도를 쉽게 확인할 수 있다.

홀수번째 데이터선들(125) 및 홀수번째 게이트선들(165)의 테스트가 완료되면, 제 2 비주열 테스트 라인들(230)(270) 각각에 테스트 구동신호를 인가하여 상술한 것과 동일한 방법으로 짝수번째 데이터선들(130) 및 게이트선들(170)의 단선, 쇼트 및 픽셀전극의 불량을 찾아낸 후에 리페어가 가능하다고 판단되는 LCD 단위 셀은 리페어한다.

이러한 과정을 통해 비주열 테스트가 완료되면 불량이 발생한 LCD 패널들 중 리페어가 가능하다고 판단되는 LCD 패널들은 리페어하여 완제품의 LCD 패널을 제작한다.

여기서, LCD 패널로부터 비주열 테스트 라인들(200)을 제거하지 않고 후속 공정에서 테이프 캐리어 패키지를 신호선(데이터선들 및 게이트선들)에 연결시킨 후 LCD 패널에 전기적 신호를 인가하여도 데이터선들(120) 및 게이트선들(160)에 쇼트가 발생되지 않는다.

이는 비주열 테스트 라인들(200)이 TFT 구조를 갖기 때문에 게이트 전극(212, 232)(252, 272)과 소스 전극(212, 232)(252, 272)에 전기적 신호가 동시에 입력되지 않으면 비주열 테스트 라인들(200)이 도전체로서의 역할을 할 수 없기 때문이다.

경우에 따라서, LCD 패널의 사이즈를 작게할 필요가 있는 경우에는 제 2 비주열 테스트 라인(230) 안쪽에 나타나는 절단 예정선을 따라 LCD 패널의 폭방향 일단 및 길이방향 일단을 절단함으로써 LCD 패널로부터 비주열 테스트 라인들(200)을 제거한다.

이 경우 LCD 패널의 절단면에 요철형상의 칩핑이 발생되어 절단 예정선과 인접한 비주열 테스트 라인들(200)이 완전히 절단되지 않고 LCD 패널에 잔류하게 되는데, 절단 예정선의 바깥쪽으로 칩핑이 크게 발생한 경우에는 적어도 2개 이상의 신호선들이 비주열 테스트 라인(200)과 연결되지만, 상술한 바와 같이 비주열 테스트 라인들(200)이 도전체 역할을 할 수 없으므로 신호선들은 쇼트되지 않는다.

따라서, 절단공정 후에 비주열 테스트 라인들(200)을 완전히 제거하기 위해서 LCD 패널의 절단면에 진행되던 그라인딩 공정이 생략된다.

본 발명의 제 2 실시예 따르면, 도 11과 도 12에 도시된 바와 같이 소스 영역(110)에는 3개의 비주열 테스트 라인들(310, 330, 350)이 서로 소정간격 이격되어 평행하게 형성되며 데이터선들(120)과 연결되고, 게이트 영역(150)에는 한쌍의 비주열 테스트 라인들(250, 270)이 서로 소정간격 이격되어 평행하게 형성되며 게이트선들(160)과 연결된다.

소스 영역에 형성된 3개의 비주열 테스트 라인들(310, 330, 350) 중 제 1 비주열 테스트 라인(310)에는 적색의 칼라필터 패턴들과 대응하여 형성되는 데이터선들(121:이하, 제 1 데이터선이라 한다.)이 연결되고, 제 2 비주열 테스트 라인(330)에는 녹색의 칼라필터 패턴들과 대응하여 형성되는 데이터선들(122:이하, 제 2 데이터선들이라 한다.)이 연결되며, 제 3 비주열 테스트 라인(350)에는 청색의 칼라필터 패턴들과 대응하여 형성되는 데이터선들(123:이하, 제 3 데이터선들이라 한다.)이 연결된다.

한편, 게이트 영역에 형성된 2개의 비주열 테스트 라인들(250, 270) 중 제 1 비주열 테스트 라인(250)은 홀수번째 형성된 게이트선들(165)과 연결되고, 제 2 비주열 테스트 라인(270)은 짝수번째 형성된 게이트선들(170)과 연결된다.

여기서, 게이트 영역(110)에 형성된 제 1 및 제 2 비주열 테스트 라인(250, 270)은 제 1 실시예와 동일한 구성과 형상으로 형성되기 때문에 상세한 설명은 생략하고, 소스 영역에 형성되는 제 1, 제 2, 제 3 비주열 테스트 라인의 각 구성에 대해서만 설명하기로 한다.

제 1 비주열 테스트 라인(310)의 제 1 게이트 전극(312)은 TFT 기판(100)의 길이방향을 따라 길게 형성되고, 제 1 게이트 전극(312)의 길이방향 일단에는 테스트 프로브 핀(도시 안됨)이 접속되는 프로브 접속패드(312a)가 형성된다.

또한, 제 1 게이트 전극(312)의 상부에는 프로브 핀에서 인가된 전류를 제 1 데이터선들(121) 쪽으로 이동시키는 제 1 반도체층(316)이 게이트 절연층(214; 도 4참조)을 사이에 두고 제 1 게이트 전극(312)을 따라 길게 형성된다.

또한, 오믹층(도시 안됨)을 사이에 두고 제 1 반도체층(316)의 폭방향 일측 가장자리를 따라 제 1 소스전

극(320)이 길게 형성되며, 프로브 접속패드(312a)와 대응되는 제 1 소스 전극(320)의 일단부에는 프로브 접속패드(320a)가 형성된다.

그리고, 제 1 소스전극(320)과 대향되는 제 1 반도체층(316)의 폭방향 가장자리에는 제 1 데이터선들(121)이 오믹층을 개재하여 복수개 형성되는데, 여기서, 제 1 데이터선들(121)은 제 1 비주얼 테스트 라인(310)의 드레인 전극 역할을 한다.

제 2 비주얼 테스트 라인(330)의 제 2 게이트 전극(332)은 제 1 게이트 전극(312)과 소정간격 이격되어 제 1 게이트 전극(312)의 안쪽에 형성되고 TFT 기판(100)의 길이방향을 따라 길게 형성되며, 제 1 비주얼 테스트 라인(310)의 프로브 접속패드들(232a, 320a)과 대응되는 제 2 게이트 전극(332)의 일단에는 프로브 접속패드(332a)가 형성된다.

또한, 제 2 게이트 전극(332)의 상부에는 제 2 반도체층(336)이 게이트 절연층(214)을 사이에 두고 형성되는데, 제 2 반도체층(336)은 제 1 및 제 3 데이터선들(121, 123)과 소정간격 이격되어 제 2 데이터선들(122)이 형성될 소정영역에만 형성된다.

한편, 제 2 반도체층(336)의 폭방향 일측 가장자리에는 제 2 소스전극(340)이 오믹층을 개재하여 형성되고, 상술한 프로브 접속패드들(312a, 320a, 332a)과 대응되는 제 2 소스전극(340)의 일단에는 프로브 접속패드(340a)가 형성되며, 제 2 소스전극(340)과 대향되는 제 2 반도체층(336)의 폭방향 가장자리에는 제 2 데이터선들(122)이 형성된다.

여기서, 제 2 데이터선들(122)은 제 2 비주얼 테스트 라인(330)의 드레인 전극 역할을 한다.

또한, 제 2 소스전극들(340)의 상부에는 ITO 연결선(346)이 형성되어 서로 소정간격 이격된 제 2 소스전극들(340)을 전기적으로 연결시키는데, ITO 연결선(346)과 제 1 및 제 3 데이터선들(121, 123)이 전기적으로 연결되는 것을 방지하기 위해서 제 2 소스전극(340)과 ITO 연결선(346) 사이에는 절연성 물질이 도포된다.

제 3 비주얼 테스트 라인(350)의 구성은 제 3 반도체층(256)이 제 1 및 제 2 데이터선들(121, 122)과 소정간격 이격되어 제 3 데이터선들(123)이 형성될 소정영역에만 형성된다는 것을 제외하면 제 2 비주얼 테스트 라인(330)의 구성과 동일하므로 상세한 설명은 생략하기로 한다.

여기서, 미설명 부호 352a, 360a는 프로브 접속패드들이고, 352는 제 2 게이트 전극이고, 360은 제 3 소스 전극이며, 366은 서로 이격된 제 3 소스전극들을 전기적으로 연결시키는 ITO 연결선들이다.

발명의 효과

이상에서 설명한 바와 같이 TFT 기판의 게이트 영역과 데이터 영역에 적어도 2개이상 형성되는 비주얼 테스트 라인들을 TFT 구조로 형성함으로써, 비주얼 테스트공정 후에 LCD 패널로부터 비주얼 테스트 라인들을 절단하는 공정과 비주얼 테스트 라인의 잔여물을 제거하는 그라인딩 공정을 생략할 수 있어 LCD 패널의 조립공정 수를 줄일 수 있고 제품의 생산성을 향상할 수 있는 효과가 있다.

또한, LCD 패널의 조립공정 수가 줄어들어 LCD 패널의 수율이 향상될 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

TFT 기판과, 접착제를 개재하여 상기 TFT 기판과 마주보도록 부착되며 상기 TFT 기판과 마주보는 일면에 적색, 녹색, 청색의 칼라필터 패턴들이 형성되는 칼라필터 기판 및 상기 TFT 기판과 상기 칼라필터 기판 사이에 주입되는 액정물질을 포함하는 액정표시장치에 있어서,

상기 TFT 기판의 일면에는 복수개의 데이터선들이 서로 소정간격 이격되어 평행하게 배열되고,

상기 데이터선들과 직교하는 방향으로 복수개의 게이트선들이 서로 소정간격 이격되어 평행하게 배열되며,

상기 데이터선들과 게이트선들의 일단에 대응하는 위치에는 TFT 구조를 갖는 복수개의 테스트 라인들이 각각 형성되어 상기 데이터선들과 게이트선들의 일단에 연결되는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서, 상기 테스트 라인들은 서로 소정간격 이격되어 평행하게 한쌍으로 형성되며, 한쌍의 테스트 라인들 중 제 1 테스트 라인들은 홀수번째 데이터선들과 홀수번째 게이트선들의 일단에 연결되고, 제 2 테스트 라인들은 짝수번째 데이터선들과 짝수번째 게이트선들의 일단에 연결되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서, 상기 홀수번째 데이터선들과 연결된 제 1 테스트 라인은

상기 데이터선들이 배열되는 방향으로 길게 형성되는 제 1 게이트 전극;

게이트 절연층을 사이에 두고 상기 제 1 게이트 전극의 상부에 형성되는 제 1 반도체층; 및

상기 제 1 반도체층의 폭방향 일측 가장자리를 따라 상기 제 1 게이트 전극과 동일한 길이로 형성되는 제 1 소스전극으로 구성되며,

상기 짝수번째 데이터선들과 연결되는 제 2 테스트 라인은

상기 제 1 게이트 전극과 소정간격 이격되어 상기 제 1 게이트 전극의 안쪽에 형성되며 상기 제 1 게이트 전극과 동일한 길이를 갖는 제 2 게이트 전극;

상기 게이트 절연층으로 덮여진 제 2 게이트 전극의 상부 중 상기 홀수번째 데이터선들 사이에 형성되는 제 2 반도체층;

상기 홀수번째 데이터선들과 연결되지 않도록 상기 제 2 반도체층의 폭방향 일측 가장자리에 형성되는 제 2 소스전극; 및

절연성 물질을 사이에 두고 상기 제 2 소스전극의 상부에 형성되며 상기 제 2 소스전극들 각각에 직접 접촉되어 서로 소정간격 이격된 상기 제 2 소스 전극들을 전기적으로 연결시키는 연결선으로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서, 상기 제 1 소스전극과 대향되는 제 1 반도체층의 가장자리에는 상기 홀수번째 데이터선들이 복수개 형성되고, 상기 제 2 소스전극과 대향되는 제 2 반도체층의 가장자리에는 상기 짝수번째 데이터선들이 형성되어 상기 제 1 및 제 2 테스트 라인의 드레인 역할을 하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 3 항에 있어서, 상기 제 1 게이트 전극, 상기 제 2 게이트 전극, 상기 제 1 소스전극 및 상기 제 2 소스전극의 일단에는 프로브 핀과 접속되는 프로브 접속패드들이 형성되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 2 항에 있어서, 상기 홀수번째 게이트선들과 연결된 제 1 테스트 라인은

상기 홀수번째 게이트선들과 소정간격 이격되고 상기 게이트선들이 배열되는 방향으로 길게 형성되는 제 1 게이트 전극;

게이트 절연층을 사이에 두고 상기 제 1 게이트 전극의 상부에 형성되는 제 1 반도체층;

상기 제 1 반도체층의 폭방향 일측 가장자리에 상기 제 1 게이트 전극과 동일한 길이로 형성되는 제 1 소스전극;

상기 제 1 소스전극과 대향되는 제 1 반도체층의 가장자리에 형성되는 제 1 드레인 전극; 및

상기 제 1 드레인 전극을 덮는 절연성 물질의 상부면에 형성되며 상기 제 1 드레인 전극 및 상기 홀수번째 게이트선들과 직접 접촉되어 서로 다른 층에 형성된 상기 제 1 드레인 전극과 상기 홀수번째 게이트선들을 전기적으로 연결시키는 연결선으로 구성되며,

상기 짝수번째 게이트선들과 연결되는 제 2 테스트 라인은

상기 제 1 게이트 전극과 소정간격 이격되어 상기 홀수번째 게이트선들의 사이에 형성되고 제 2 게이트 전극;

상기 제 2 게이트 전극을 덮는 상기 게이트 절연층의 상부면 중 상기 제 2 게이트 전극과 대응되는 부분에 상기 제 2 게이트 전극의 크기보다 작게 형성되는 제 2 반도체층;

상기 제 2 반도체층의 폭방향 일측 가장자리를 따라 길게 형성되는 제 2 소스전극;

상기 제 2 소스전극과 대향되는 제 2 반도체층의 가장자리 중 상기 짝수번째 게이트선들과 대응되는 위치에 상기 제 2 게이트 전극의 크기보다 작게 형성되는 제 2 드레인 전극; 및

상기 제 2 드레인 전극을 덮는 상기 절연성 물질의 상부면에 형성되며 상기 제 2 게이트전극과 연결되어 서로 소정간격 이격된 상기 제 2 게이트전극을 전기적으로 연결시키고, 서로 다른 층에 형성된 상기 제 2 드레인 전극 및 상기 짝수번째 게이트선들과 직접 접촉되어 상기 제 2 드레인 전극 및 상기 짝수번째 게이트선들을 전기적으로 연결시키는 연결선들로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서, 상기 제 1 게이트 전극, 상기 제 2 게이트 전극, 상기 제 1 소스전극 및 상기 제 2 소스전극의 일단에는 프로브 핀과 접속되는 프로브 접속패드들이 형성되는 것을 특징으로 하는 액정표시장치.

청구항 8

제 1 항에 있어서, 상기 데이터선들의 일단에는 상기 테스트 라인들이 서로 소정간격 이격되고 평행하게 3개가 형성되는데, 3개의 테스트 라인들 중 제 1 테스트 라인은 상기 적색 칼라필터 패턴들과 대응하여 형성되는 데이터선들과 연결되고, 제 2 테스트 라인은 상기 녹색 칼라필터 패턴들과 대응하여 형성되는 데이터선들과 연결되고, 제 3 테스트 라인은 청색 칼라필터 패턴에 대응하는 데이터선들이 연결되며,

상기 게이트선들의 일단에는 상기 테스트 라인들이 서로 소정간격 이격되고 평행하게 한쌍이 형성되는데, 한쌍의 테스트 라인들 중 제 1 테스트 라인은 홀수번째 게이트선들과 연결되고, 제 2 테스트 라인은 짝수번째 게이트선들이 연결되는 것을 특징으로 하는 액정표시장치.

청구항 9

제 8 항에 있어서, 상기 적색의 칼라필터 패턴과 대응되는 데이터선들이 연결되는 제 1 테스트 라인은

상기 데이터선들이 배열되는 방향으로 길게 형성되는 제 1 게이트 전극;

게이트 절연층을 사이에 두고 상기 제 1 게이트 전극의 상부에 형성되는 제 1 반도체층; 및
 상기 제 1 반도체층의 폭방향 일측 가장자리를 따라 길게 형성되는 제 1 소스전극으로 구성되며,
 상기 제 2 테스트 라인은
 상기 제 1 게이트 전극과 이격되어 상기 제 1 게이트 전극의 안쪽에 형성되며 상기 제 1 게이트 전극과 동일한 길이를 갖는 제 2 게이트 전극;
 상기 게이트 절연층으로 덮여진 상기 제 2 게이트 전극의 상부 중 상기 녹색 칼라필터 패턴들과 대응하는 데이터선들이 형성될 부분에만 소정크기로 형성되는 제 2 반도체층;
 상기 제 2 반도체층의 폭방향 일측 가장자리에 형성되는 제 2 소스전극; 및
 상기 절연성 물질을 사이에 두고 상기 제 2 소스전극의 상부에 형성되며 상기 제 2 소스전극들 각각에 직접 컨택되어 서로 이격된 상기 제 2 소스 전극들을 전기적으로 연결시키는 연결선으로 구성되며,
 상기 제 3 테스트 라인은
 상기 제 2 게이트 전극과 이격되어 상기 제 2 게이트 전극의 안쪽에 형성되며 상기 제 2 게이트 전극과 동일한 길이를 갖는 제 3 게이트 전극;
 상기 게이트 절연층으로 덮여진 상기 제 3 게이트 전극의 상부 중 상기 청색 칼라필터 패턴들과 대응하는 데이터선들이 형성될 부분에만 소정크기로 형성되는 제 3 반도체층;
 상기 제 3 반도체층의 폭방향 일측 가장자리에 형성되는 제 3 소스전극; 및
 상기 절연성 물질을 사이에 두고 상기 제 3 소스전극의 상부에 형성되며 상기 제 2 소스전극들 각각에 직접 컨택되어 서로 소정간격 이격된 상기 제 2 소스 전극들을 전기적으로 연결시키는 연결선으로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 10

제 9 항에 있어서, 상기 제 1 소스전극과 대향되는 제 1 반도체층의 가장자리에는 상기 적색 칼라필터 패턴들과 대응하는 데이터선들이 복수개 형성되고, 상기 제 2 소스전극과 대향되는 제 2 반도체층의 가장자리에는 녹색 칼라필터 패턴들과 대응하는 데이터선들이 형성되며, 상기 제 3 소스전극과 대향되는 상기 제 3 반도체 층의 가장자리에는 청색 칼라필터 패턴들과 대응하는 데이터선들이 형성되어 상기 제 1, 제 2 및 제 3 테스트 라인의 드레인 역할을 하는 것을 특징으로 하는 액정표시장치.

청구항 11

제 9 항에 있어서, 상기 제 1, 제 2 및 제 3 게이트 전극과 상기 제 1, 제 2, 제 3 소스 전극들의 일단에는 프로브 접속패드들이 형성되는 것을 특징으로 하는 액정표시장치.

청구항 12

제 8 항에 있어서, 상기 홀수번째 데이터선들과 연결된 제 1 테스트 라인은

상기 데이터선들이 배열되는 방향으로 길게 형성되는 제 1 게이트 전극;

게이트 절연층을 사이에 두고 상기 제 1 게이트 전극의 상부에 형성되는 제 1 반도체층; 및

상기 제 1 반도체층의 폭방향 일측 가장자리를 따라 상기 제 1 게이트 전극과 동일한 길이로 형성되는 제 1 소스전극으로 구성되며,

상기 짝수번째 데이터선들과 연결되는 제 2 테스트 라인은

상기 제 1 게이트 전극과 소정간격 이격되어 상기 제 1 게이트 전극의 안쪽에 형성되며 상기 제 1 게이트 전극과 동일한 길이를 갖는 제 2 게이트 전극;

상기 게이트 절연층으로 덮여진 제 2 게이트 전극의 상부 중 상기 홀수번째 데이터선들 사이에 형성되는 제 2 반도체층;

상기 홀수번째 데이터선들과 연결되지 않도록 상기 제 2 반도체층의 폭방향 일측 가장자리에 형성되는 제 2 소스전극; 및

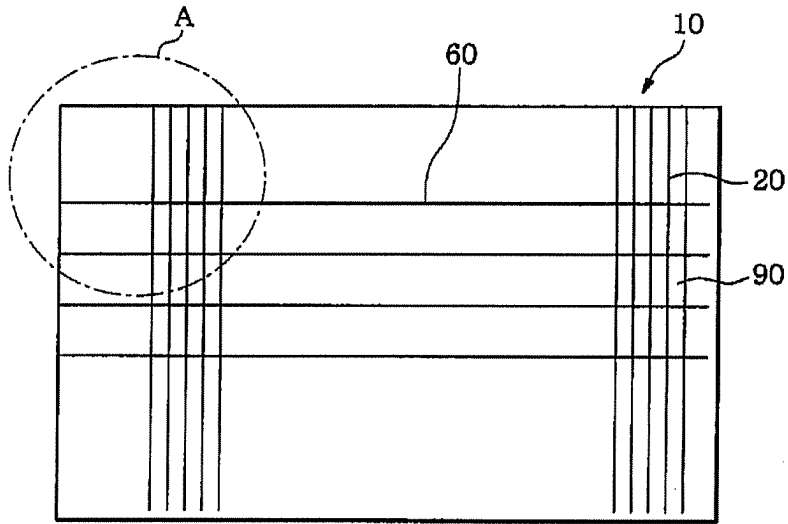
절연성 물질을 사이에 두고 상기 제 2 소스전극의 상부에 형성되며 상기 제 2 소스전극들 각각에 직접 컨택되어 서로 소정간격 이격된 상기 제 2 소스 전극들을 전기적으로 연결시키는 연결선으로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 13

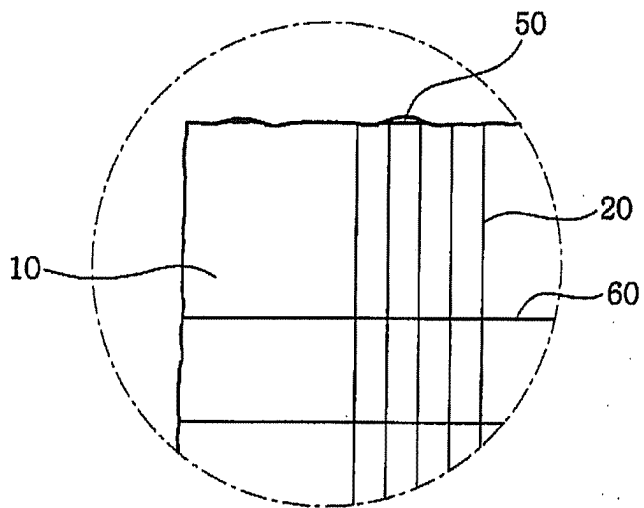
제 12 항에 있어서, 상기 제 1 게이트 전극, 상기 제 2 게이트 전극, 상기 제 1 소스전극 및 상기 제 2 소스전극의 일단에는 프로브 핀과 접속되는 프로브 접속패드들이 형성되는 것을 특징으로 하는 액정표시장치.

도면

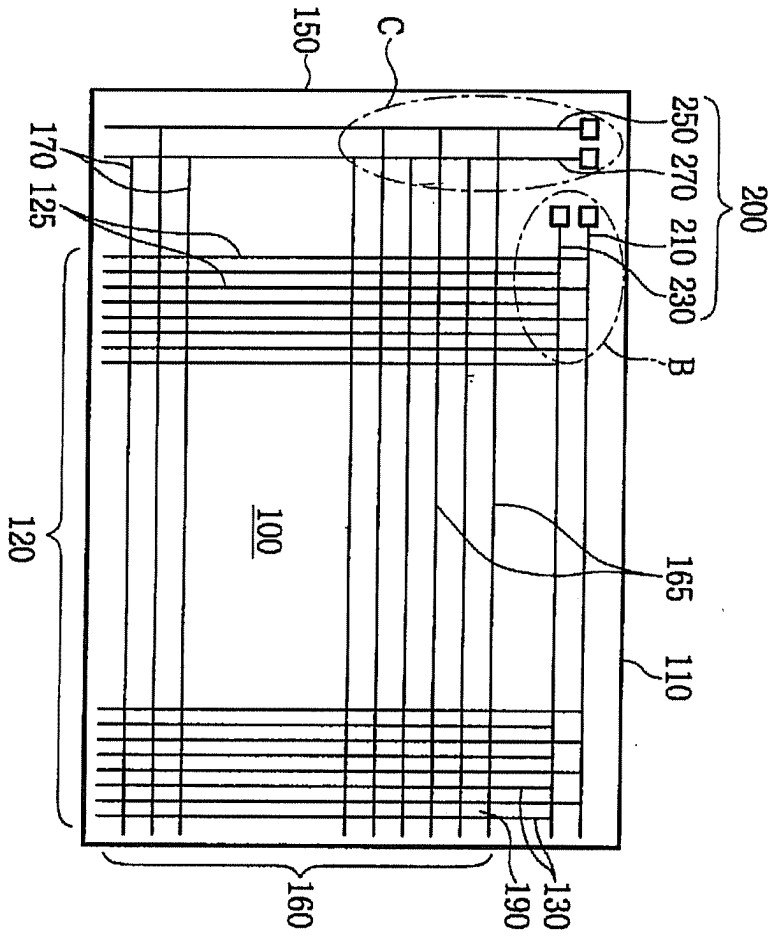
도면 1a



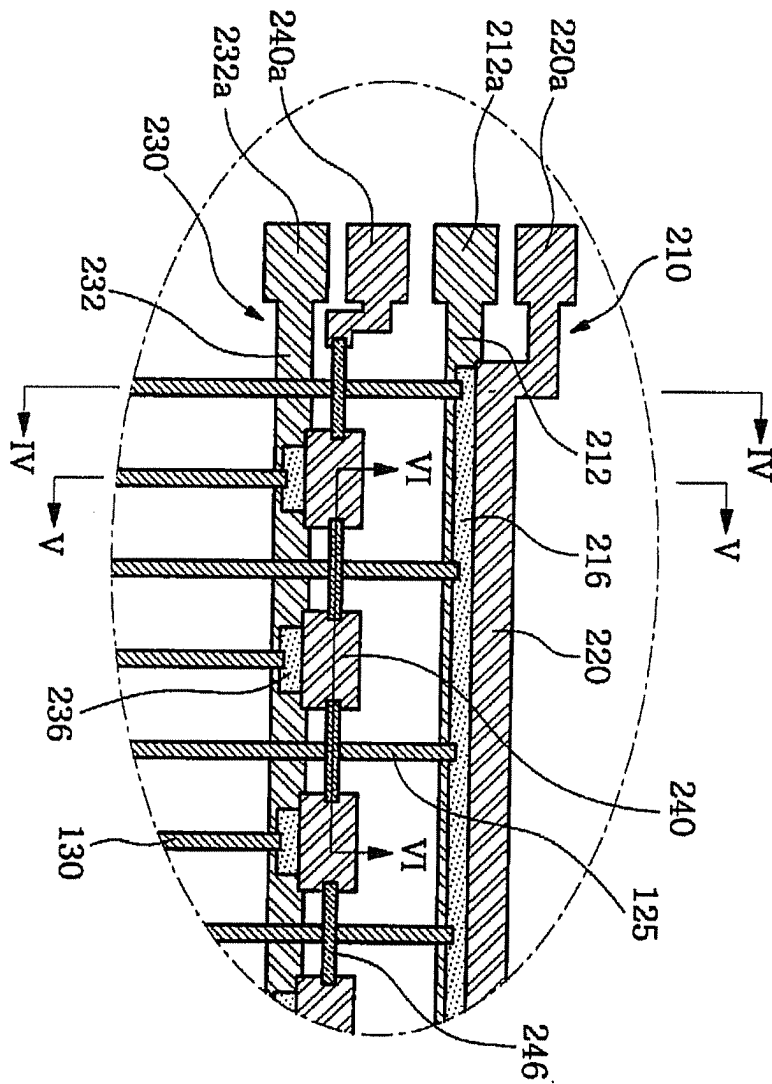
도면 1b



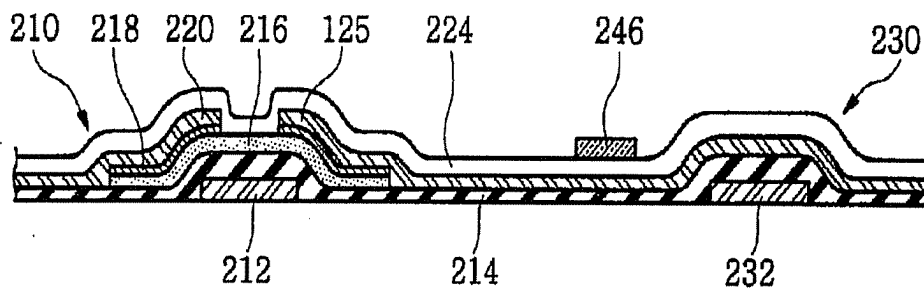
도면2



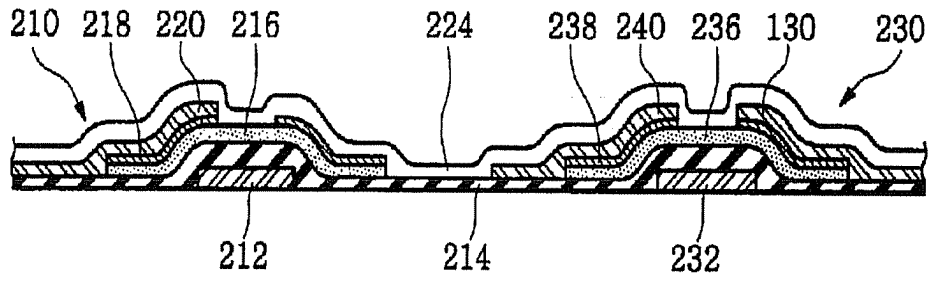
도면3



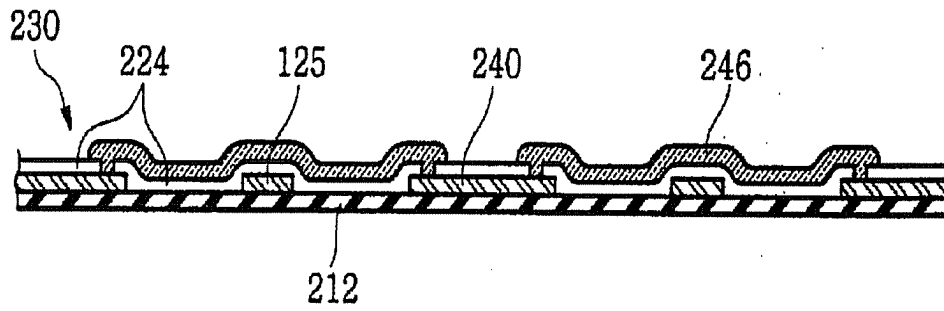
도면4



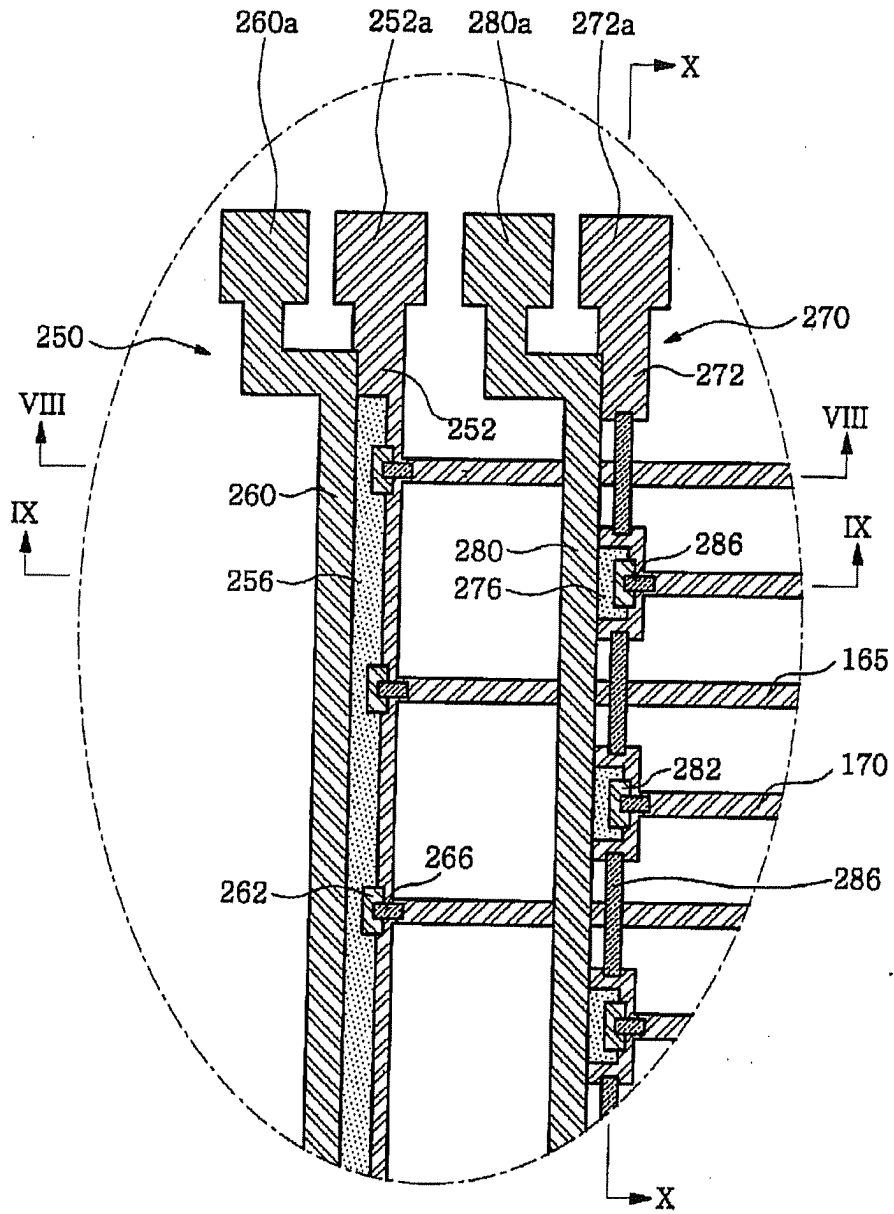
도면5



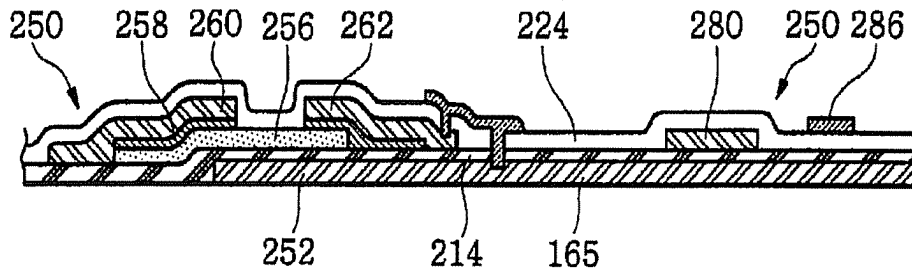
도면6



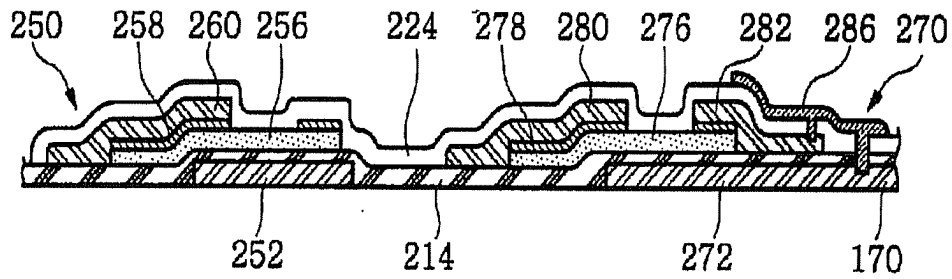
도면7



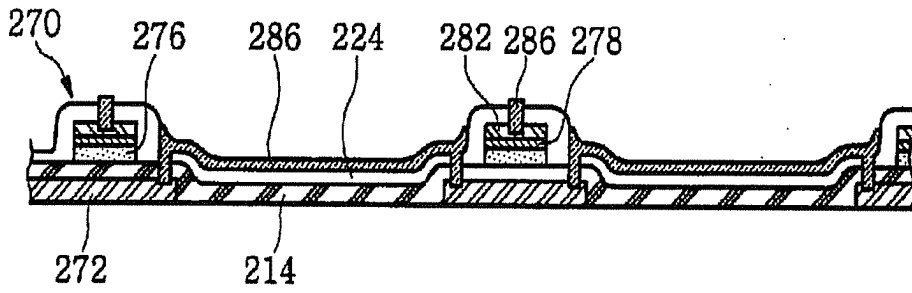
도면8



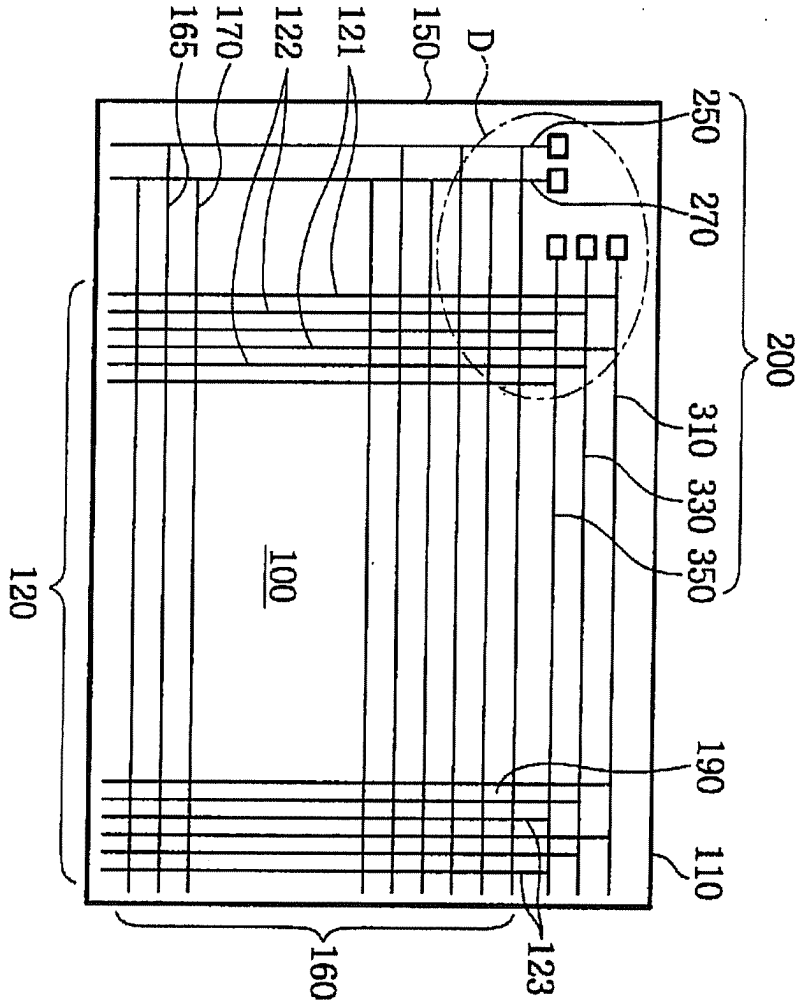
도면9



도면10



도면 11



도면 12

